***2022***



**数字电路与逻辑设计**

**实验报告**

|  |  |
| --- | --- |
| 专 业： | 计算机科学与技术 |
| 班 级： | CS2106班 |
| 学 号： | U202115512 |
| 姓 名： | 洪炜豪 |
| 电 话： | 15259722318 |
| 邮 件： | 1294830296@qq.com |
| 完成日期： | 2022.12.09 |

**实验报告及电路设计评分细则**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 评 分 项 目 | 满分 | 得分 | 备注 | |  |
| 文档格式（段落、行间距、缩进、图表、编号等） | 15 |  |  | | 实验报告总分 |
| 设计方案与实验过程 | 60 |  |  | |
| 遇到的问题及处理 | 10 |  |  | |
| 设计方案存在的不足 | 5 |  |  | |
| 心得（含思政） | 5 |  |  | |
| 意见和建议 | 5 |  |  | |
| 电路（头歌） | 100 |  |  | |  |
| 教师签名 |  | | 日 期 |  | |

备注：实验过程将从电路的复杂度、是否考虑竞争和险象、电路的美观等方面进行评分。

实验课程总分=电路（头歌）\*0.4+实验报告\*0.6目 录

[1 实验概述 1](#_Toc117868487)

[1.1 实验名称 1](#_Toc117868488)

[1.2 实验目的 1](#_Toc117868489)

[1.3 实验环境 1](#_Toc117868490)

[1.4 实验内容 1](#_Toc117868491)

[1.5 实验要求 2](#_Toc117868492)

[2 设计方案与实验过程 3](#_Toc117868493)

[2.1 方案设计 3](#_Toc117868494)

[2.2 实验过程 13](#_Toc117868495)

[3 设计总结与心得 3](#_Toc117868496)7

[3.1 实验总结 3](#_Toc117868497)7

[3.1.1遇到的问题及处理 3](#_Toc117868498)7

[3.1.2设计方案存在的不足 3](#_Toc117868499)7

[3.2 实验心得 38](#_Toc117868500)

[3.3 意见与建议 38](#_Toc117868501)

# 实验概述

## 实验名称

运动码表系统设计。

## 实验目的

实验将提供一个完整的数字逻辑实验包，从真值表方式构建7段数码管驱动电路，到逻辑表达式方式构建四位比较器，多路选择器，利用同步时序逻辑构建BCD计数器，从简单的组合逻辑电路到复杂时序逻辑电路，最终集成实现为运动码表系统。

实验由简到难，层次递进，从器件到部件，从部件到系统，通过本实验的设计、仿真、验证3个训练过程使同学们掌握小型数字电路系统的设计、仿真、调试方法以及电路模块封装的方法。

## 实验环境

软件：Logisim2.15.0.2软件一套。

平台：https://www.educoder.net

## 实验内容

设计一个运动码表系统，具体内容及要求如下：

输入：4个按钮，分别为Start、Stop、Store和Reset。

输出：4个7段数码管显示数字，分别显示秒和百分秒。

具体功能：

（1）当按下Start时，计时器清零，重新开始计时；

（2）当按下Stop时，计时器停止计时，显示计时数据；

（3）当按下Store时，若当前计时数据小于系统记录，则更新系统记录，并显示当前计时数据；否则不更新系统记录，但显示系统记录。

（4）当按下Reset时，复位，计时=0.00, 系统记录=99.99。

## 实验要求

1. 根据给定的实验包，将运动码表系统切分为一个个实验单元；
2. 对每一个实验单元，按要求设计电路并使用Logisim软件进行虚拟仿真；
3. 设计好的电路在educoder平台上提交并进行评测，直到通过全部关卡。

# 设计方案与实验过程

## 方案设计

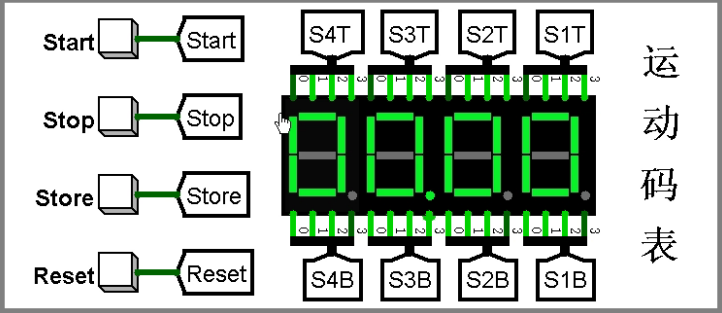
2.1.1系统流程：

①当按下Start时，计时器清零，重新开始计时；

②当按下Stop时，计时器停止计时，显示计时数据；

③当按下Store时，若当前计时数据小于系统记录，则更新系统记录，并显示当前计时数据；否则不更新系统记录，但显示系统记录。

④当按下Reset时，复位，计时=0.00, 系统记录=99.99。



2.1.2模块划分框图：

功能部件：



数据通路构建：



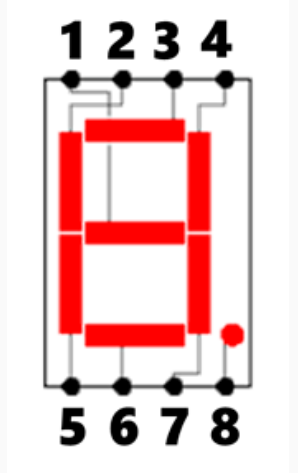
2.1.3模块设计：

**一、7段数码管驱动电路设计：**

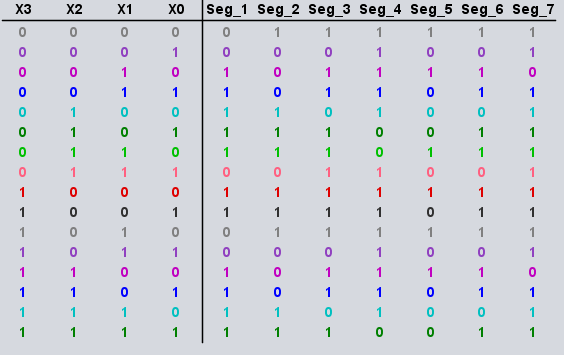
1、需求：驱动七段数码管显示数字0-9

2、输入：4位BCD码输入

3、输出：7位数码管驱动信号

4、引脚：

5、设计：利用组合逻辑电路分析功能，填写真值表，自动生成电路。



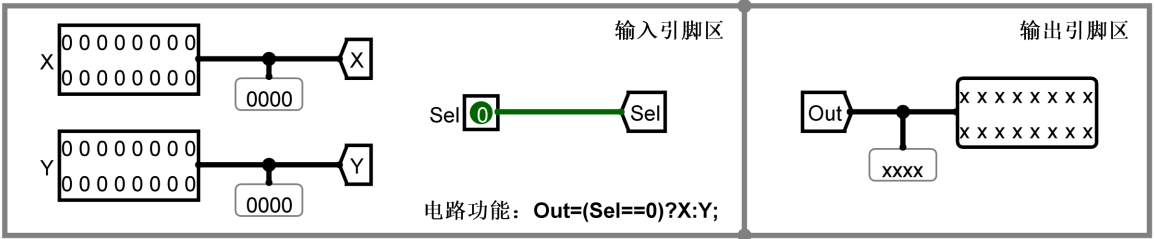
**二、16位2路选择器设计**

1、需求：根据选择控制信号，将相应的输入进行输出，其中Out=(Sel==0)?X:Y;

2、输入：16位输入X，Y; 选择控制信号Sel

3、输出：16位输出Out

4、引脚：



5、设计：

（1）设计1位的2路选择器：利用组合逻辑电路分析功能，填写真值表，自动生成电路。



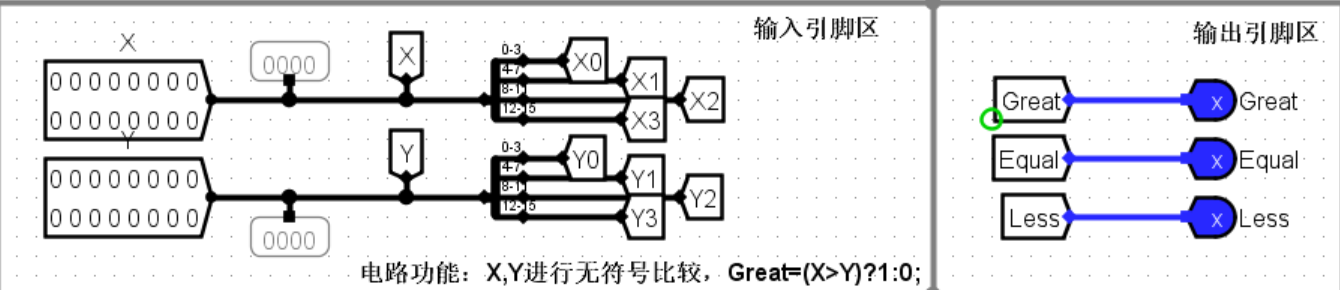
（2）利用封装好1位的2路选择器构建16位的2路选择器。

**三、16位无符号比较器**

1、需求：对两个16位的无符号数进行比较。

2、输入：16位输入X，Y;

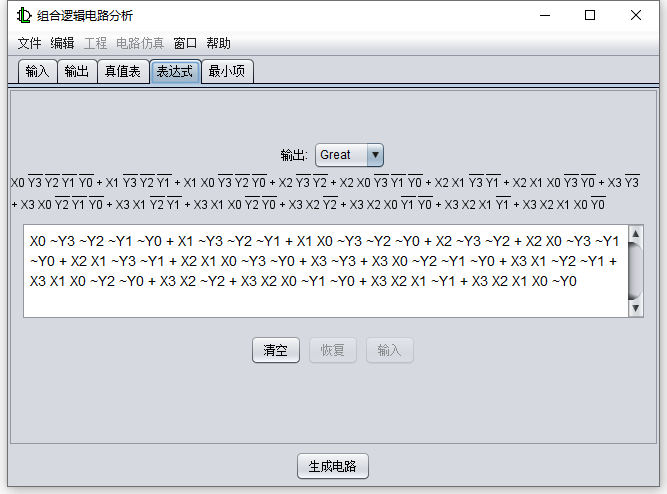
3、输出：大于（1位），等于（1位），小于（1位）

4、引脚：

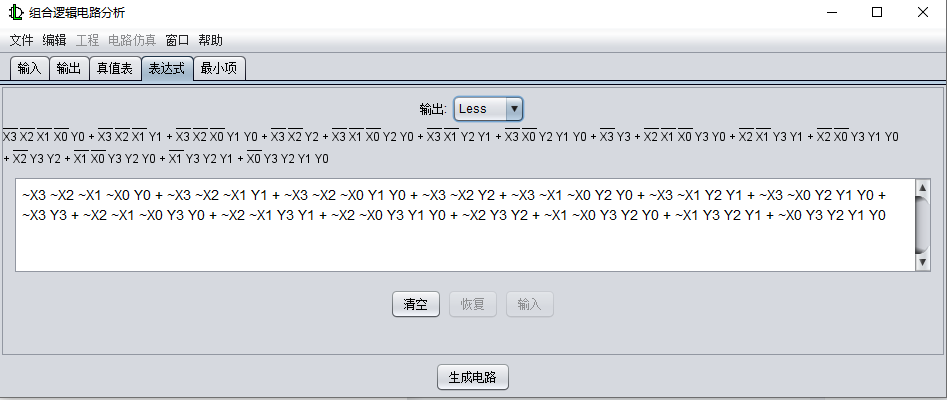
5、设计：

（1）构建4位无符号比较器：利用组合逻辑电路分析功能，通过填写表达式自动生成电路。

填写表达式时，遵循高位原则。先比较高位，若高位相同，再比较低位。







注：图中所填写的表达式并非输入的原始表达式，为logisim自动转换后的结果。

（2）利用封装好的4位无符号比较器构建16位无符号比较器：整体思路与4位无符号比较器的构建相似，仍为高位优先原则，从最高的四位开始比较，逐渐往下。

**四、码表显示驱动设计**

1、需求：利用4个并行的7段数码管显示电路级联构建4位十进制显示驱动电路。

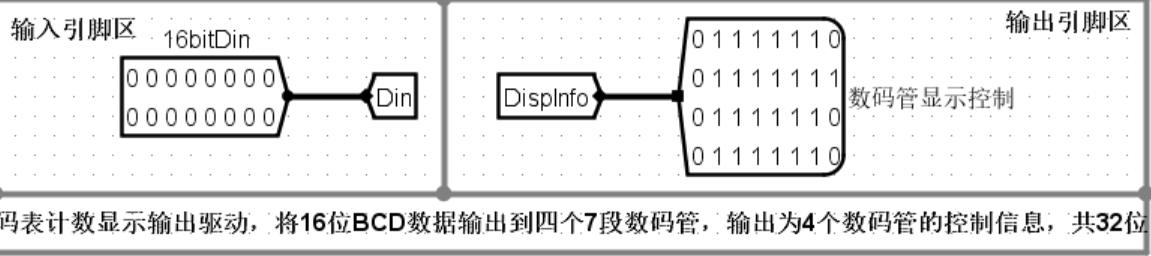
2、输入：16位BCD码

3、输出：4个7段数码管的控制信号（32位）

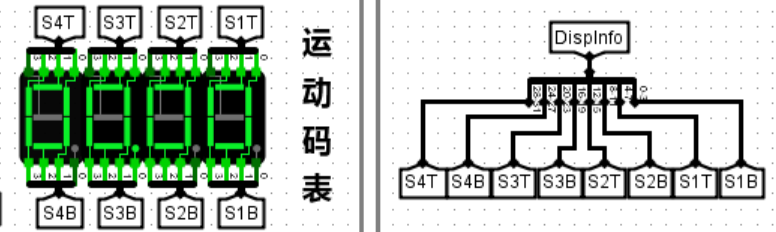
S4T，S4B，S3T，S3B

S2T，S2B，S1T，S1B

4、引脚：



5、设计：



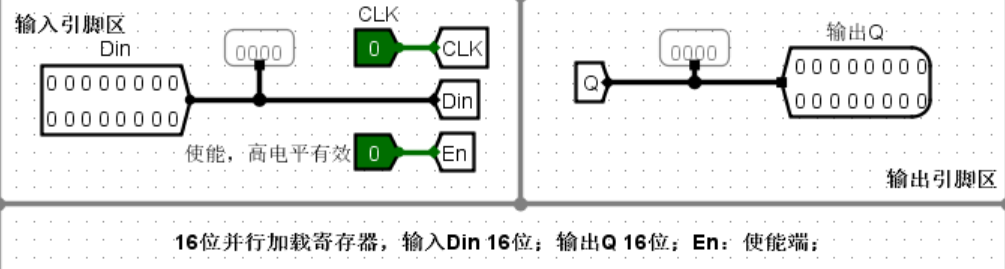
将四个7段数码管显示并联，其中小数点用四个常量单独控制：亮点为1，暗点为0。

**五、16位并行加载寄存器**

1、需求：当En为1时，输入数据，当En为0时，保持上次输入的数据。En=1、Clock↑时，Q=Din

2、输入：16位输入Din，使能信号En，

3、输出：16位输出Q

4、引脚：

5、设计：

（1）构建4位并行加载寄存器：利用四个D触发器实现钟控寄存。

（2）利用封装好的4位并行加载寄存器构建16位并行加载寄存器：将4个位并行加载寄存器并行连接即可。

**六、码表计数器**

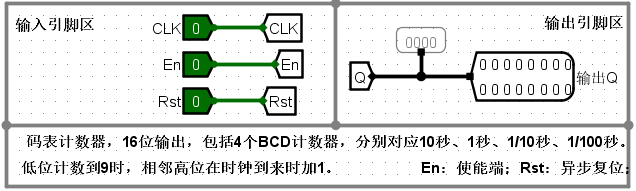
1、需求：利用4个BCD计数器显示码表计数，分别对应10秒，1秒，1/10秒，1/100秒

2、输入：时钟信号Clk，使能En，异步复位Rst

3、输出：16位输出Q

4、功能：包含4个BCD码计数器，低位计数器从9到0时，高位计数器加1

5、引脚：



6、设计：

（1）构建4位BCD码计数器：计数器由状态转换，触发器模块，输出函数组成。

①状态转换部分:在Excel模板中构建真值表，获取对应的逻辑表达式。

②输出函数部分：当计数器计数至9->0时， 产生进位输出

③触发器模块：

输入：CLK，En，Rst，次态

输出：现态（Q）

（2）利用封装好的4位BCD码计数器构建码表计数器：利用4个4位的BCD码计数器级联而成，每个计数器在0-9之间变化，当最低位计数器从9变化为0时，高位计数器加1；当低两位计数器变化到99时，下一个时钟到来时，高一位的计数器加1；当低三位计数器变化到9.99时，下一个时钟到来时，最高一位的计数器加1。

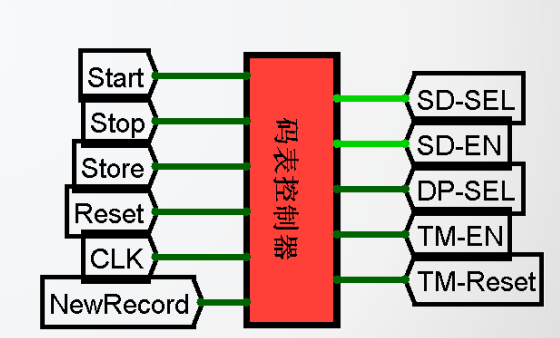
**七、码表控制器**

1、需求：构建运动码表的控制单元

2、输入：Start, Stop, Reset, Store，NewRecord

3、输出：TM-EN, TM-RST, SD-EN, SD-SEL, DP-SEL

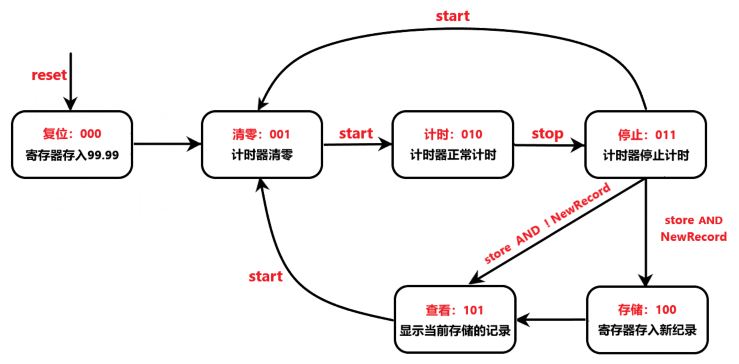
4、引脚：

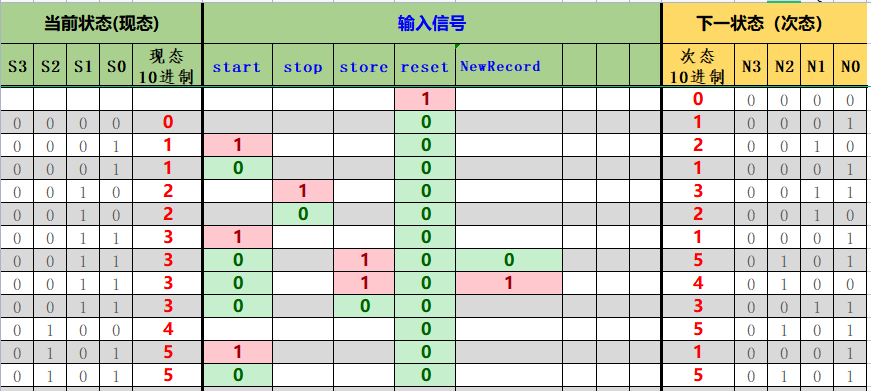


5、设计：

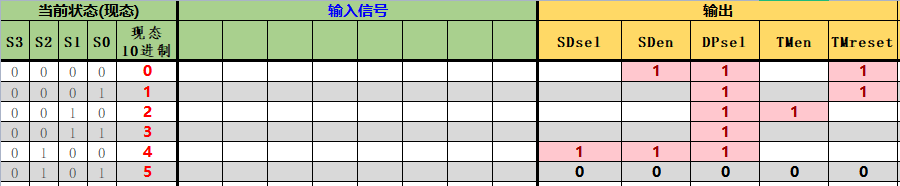
（1）码表控制器状态机设计

状态图：



在Excel模板中构建真值表，获取对应的逻辑表达式。

（2）码表控制器输出函数设计

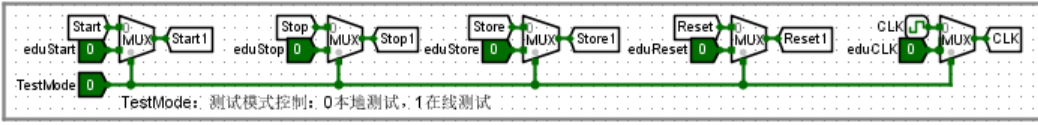
真值表： （3）把当前输入转换为状态，再把状态对应的控制信号输出

**八、运动码表数据通路设计（系统集成）**

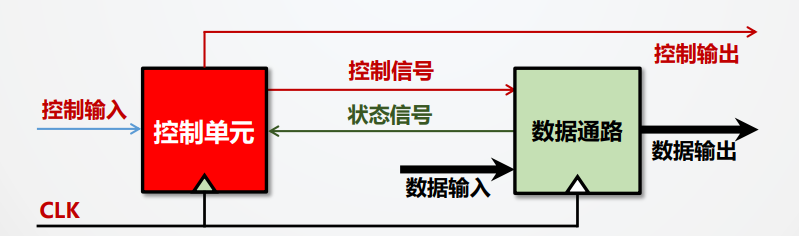
1、需求：从控制流角度连接控制单元和执行部件，构建数据通路

2、输入：时钟脉冲CLK,在线评测开关TestMode，开始计时信号start,停止计时信号stop,存储计时记录信号store,计时复位信号reset

3、输出：计时成绩或者成绩记录Time

4、引脚：

5、设计：

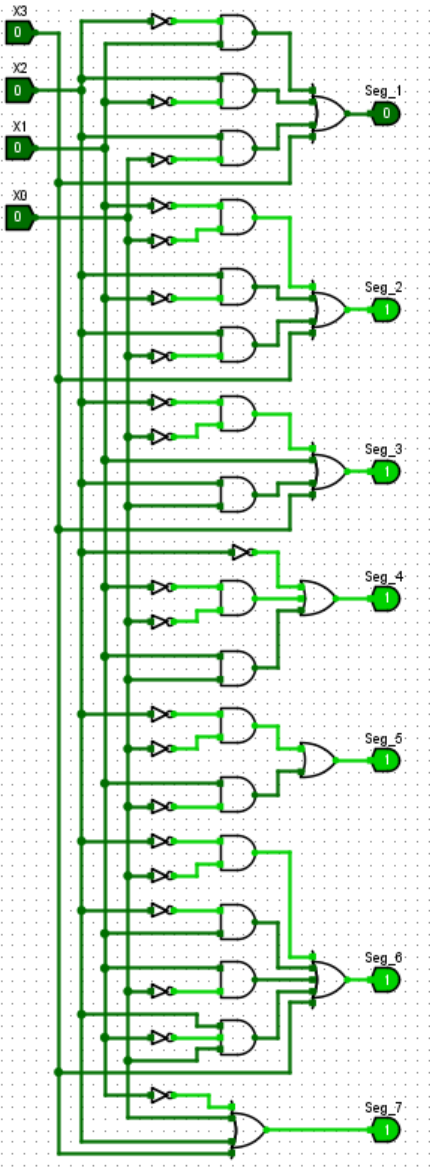


## 实验过程

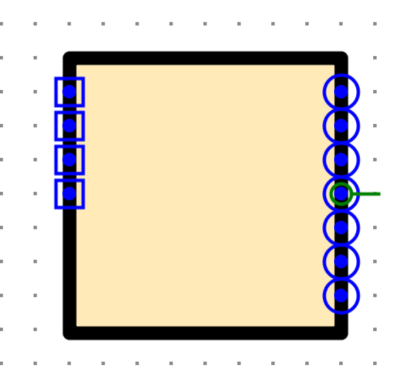
2.2.1 7段数码管驱动电路

1、电路图

（1）内部结构电路图

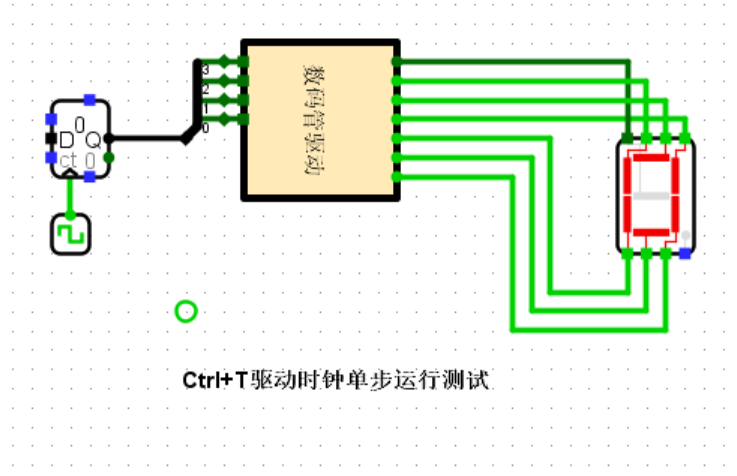


（2）封装电路图

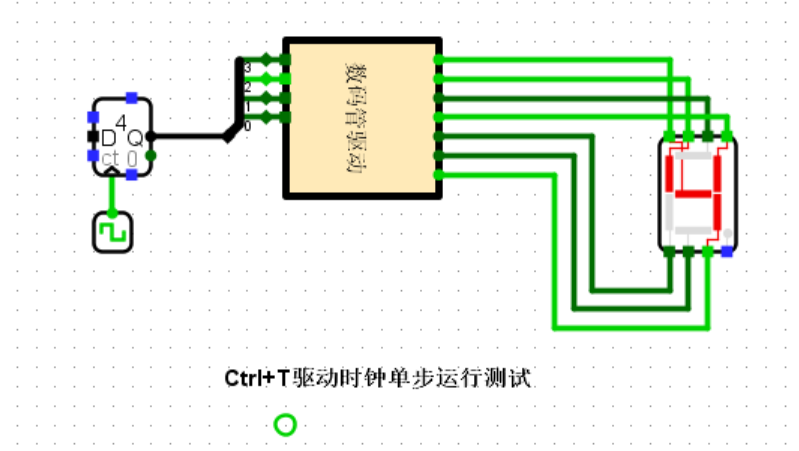


1. 测试

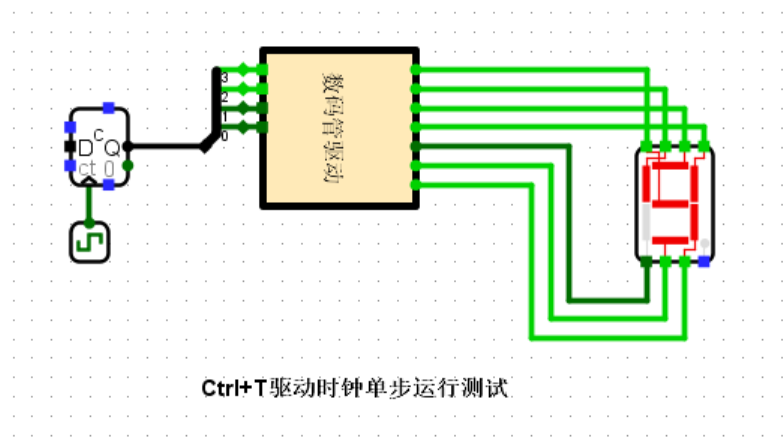
测试用例1：输入：0000 输出：数码管驱动信号，显示出0



测试用例2：输入：0100 输出：数码管驱动信号，显示出4



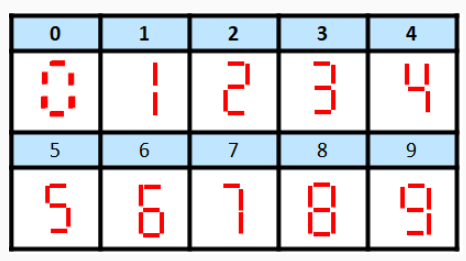
测试用例3：输入：1100 输出：数码管驱动信号，显示出9



3、功能描述：

如测试样例1、2，当输入值（4位BCD码）在0~9之间，

十进制数字（输入）和七段数码管（输出）的对应关系如下图所示：



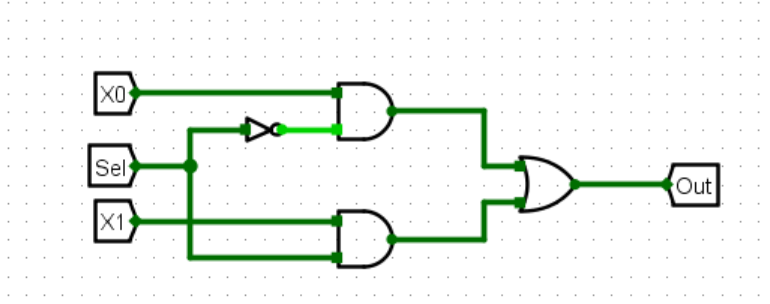
如测试样例3，当输入值（4位BCD码）在10~15之间，不考虑数码管的输出值。

2.2.2 2路选择器设计

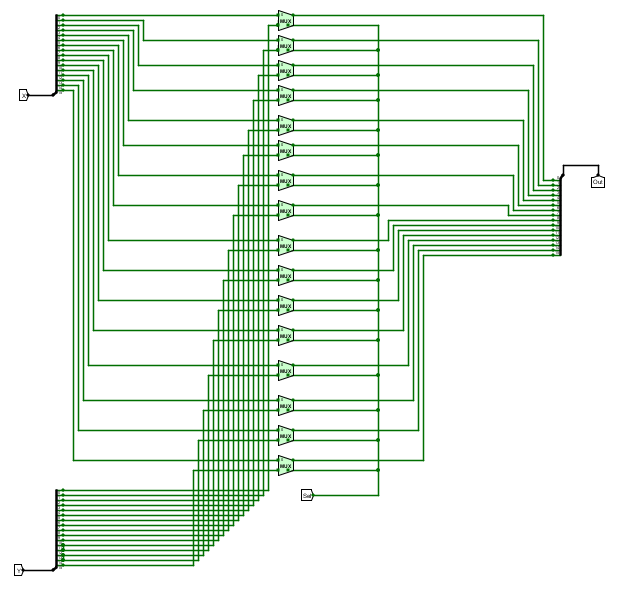
1、电路图

（1）内部结构图：

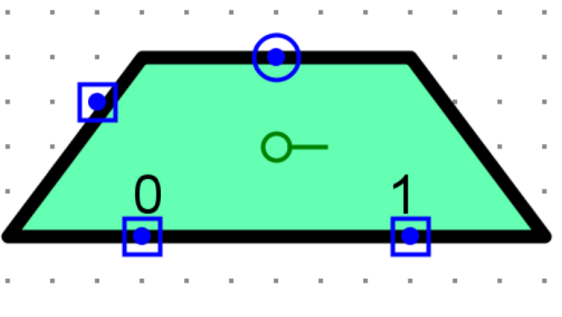
①1位2路选择器



②16位2路选择器

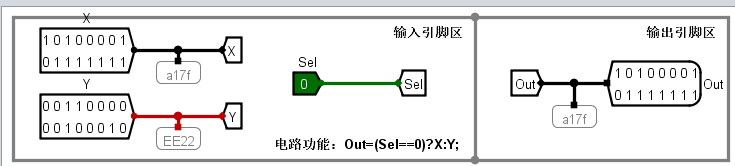


（2）封装电路图：

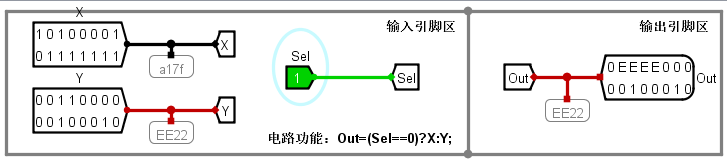


2、测试

测试用例1：输入X-a17f Y-ee22 Sel-0输出：a17f



测试用例2：输入X-a17f Y-ee22 Sel-1输出：ee22



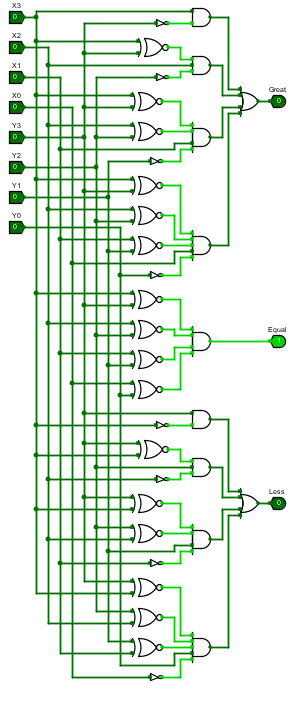
3、功能分析：根据选择控制信号Sel，将相应的输入进行输出。若Sel==0，输出X；若Sel==1，输出Y

2.2.3 无符号比较器

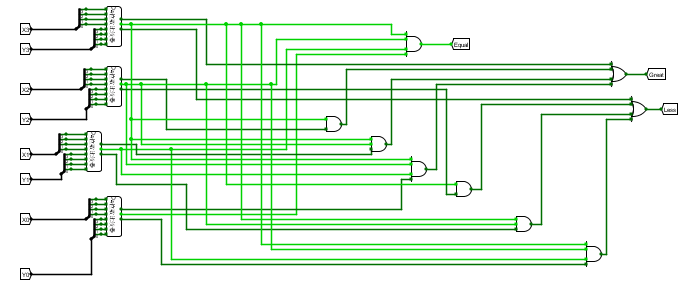
1、电路图

（1）内部结构图

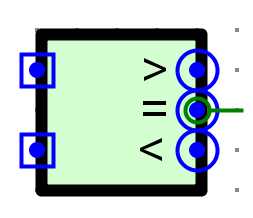
1. 4位无符号比较器



②16位无符号比较器



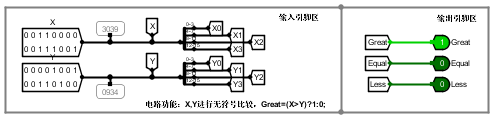
（2）封装电路图



2、测试图

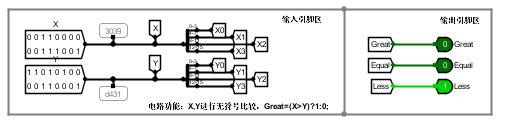
测试用例1：

输入X-3039 Y-0934 输出：Great:1 Equal:0 Less:0



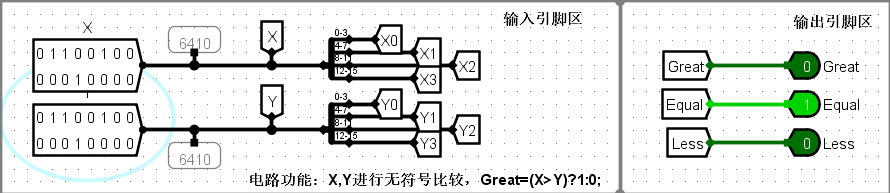
测试用例2：

输入X-3039 Y-d431 输出：Great:0 Equal:0 Less:1



测试用例3：

输入X-6410 Y-6410 输出：Great:0 Equal:1 Less:0



3、功能：

若X>Y，则输出Great

若X==Y，则输出Equal

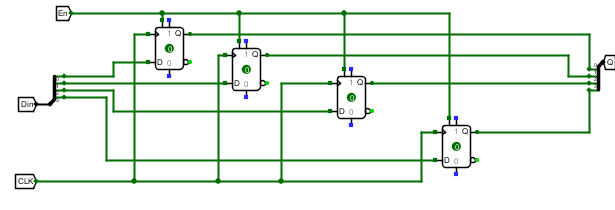
若X<Y，则输出Less

2.2.4 并行加载寄存器

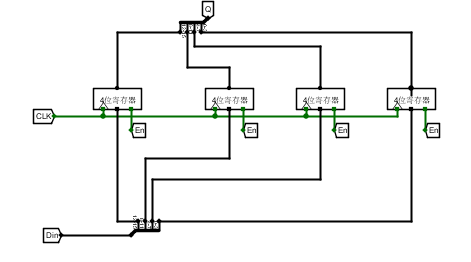
1、电路图

（1）内部结构图：

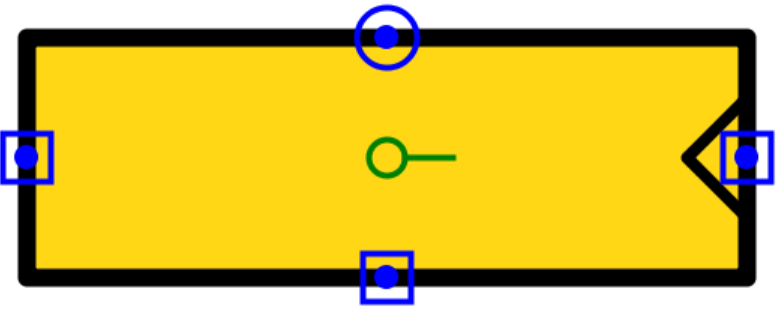
①四位寄存器



②十六位寄存器

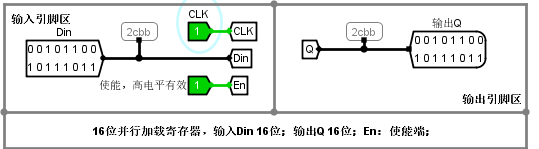


1. 封装电路图：

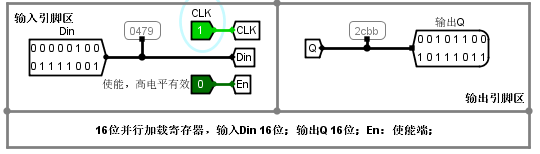


2、测试图

测试用例1：输入Din-2cbb 使能端为1 Clock↑时Q=2cbb



测试用例2：输入Din-0479 使能端为0 Clock↑时Q=2cbb不变



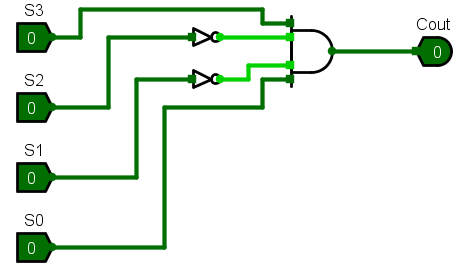
3、功能：当En=1且有时钟信号输入变化时（Clock↑时）时，Q=Din；否则Q的值维持不变

2.2.5 码表计数器设计

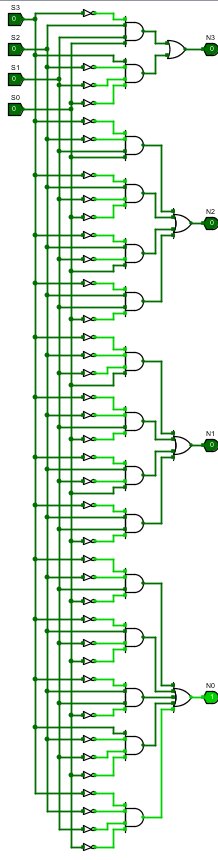
1、电路图

（1）内部结构图：

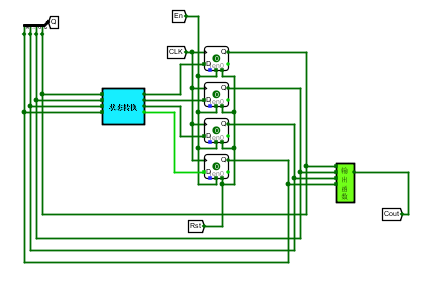
①BCD计数器输出函数



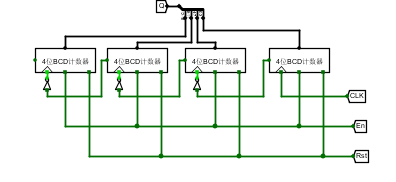
②BCD计数器状态转换



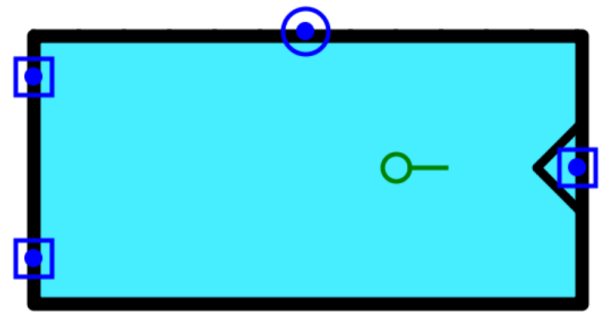
③4位BCD计数器



1. 码表计数器

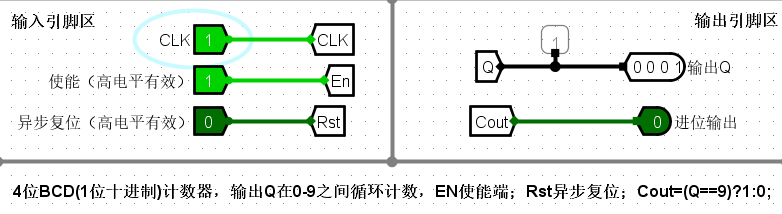


（2）封装电路图

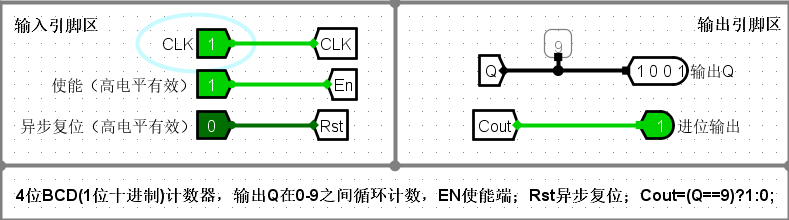


2、测试

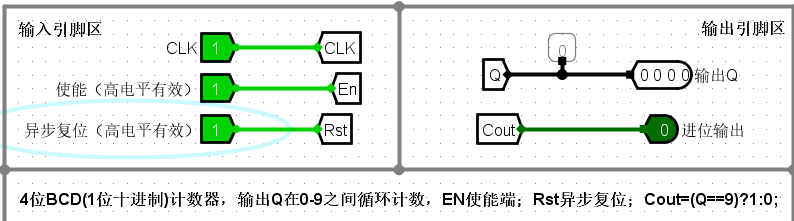
测试用例1: 现态Q=0 使能端为1 Clock↑时Q=1



测试用例2：现态Q=8 使能端为1 Clock↑时Q=9且进位端Cout=1



测试用例3：Rst=1时Q=0 Cout=0



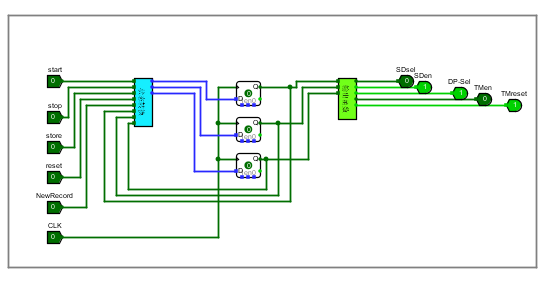
3、功能：当En=1且有时钟信号输入变化时（Clock↑时）时，Q=(Q+1)mod9，在0-9之间循环计数。当Q=9时，进位Cout=1，其余情况为0。

2.2.6 码表控制器设计

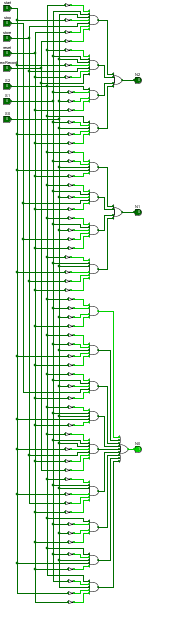
1、电路图

（1）内部结构图

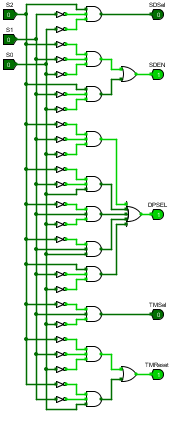
①码表控制器：



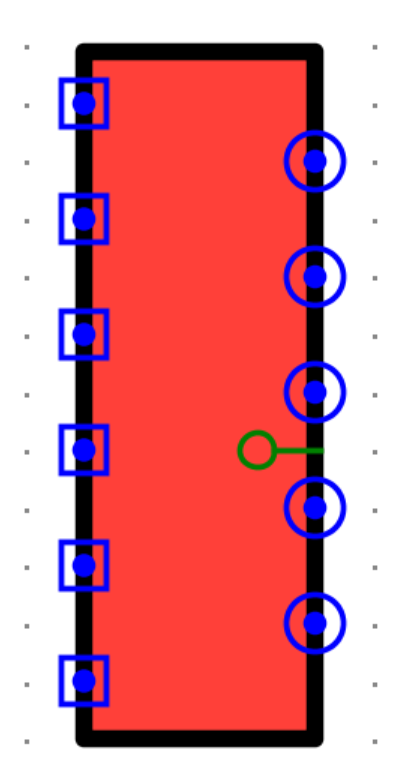
1. 码表控制器状态转换：



1. 码表控制器输出函数：



（2）封装电路图：

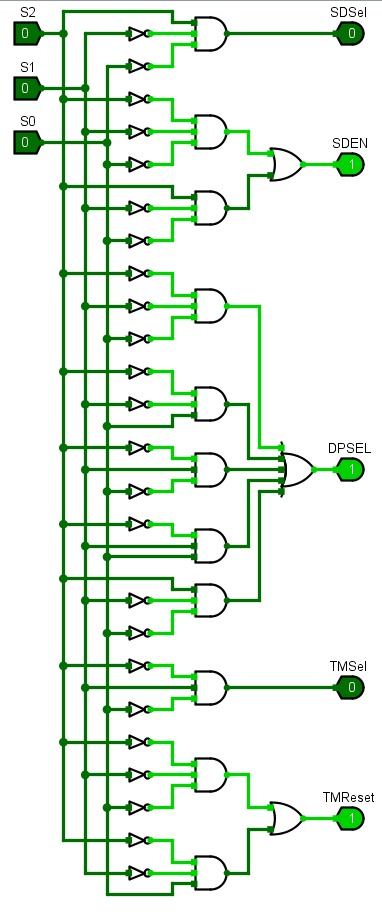


2、测试

测试控制码表输出函数：

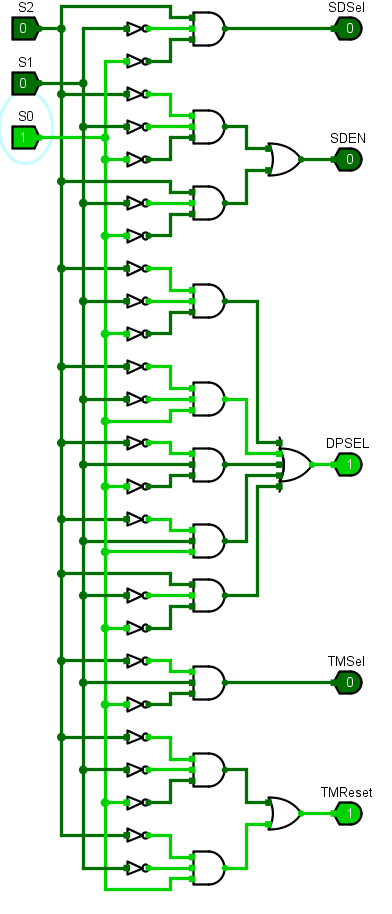
测试用例1：输入000 输出SDsel=0 SDen=1 DPSel=1 TMen=0 TMreset=1

复位：寄存器输出9999作为最好成绩，计时器设零，码表示零。



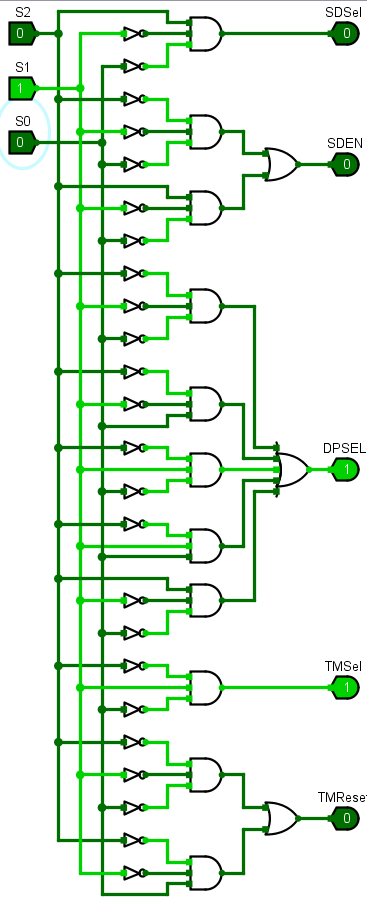
测试用例2：输入001 输出SDsel=0 SDen=0 DPSel=1 TMen=0 TMreset=1

清零：计时器设零，码表示零。



测试用例3：输入010 输出SDsel=0 SDen=0 DPSel=1 TMen=1 TMreset=0

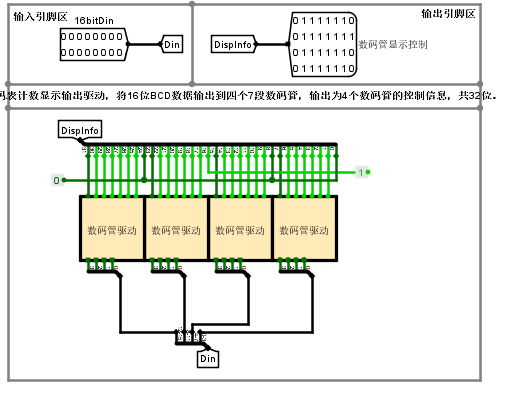
计时：计时器工作，码表显示计数器数据。



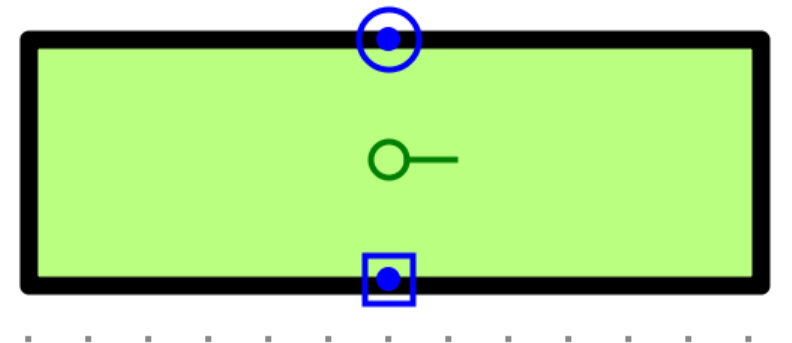
**2.2.8 码表显示驱动设计**

1、电路图

（1）内部结构图

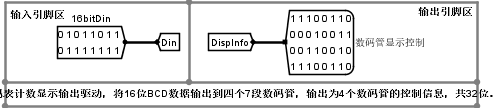


（2）封装电路图

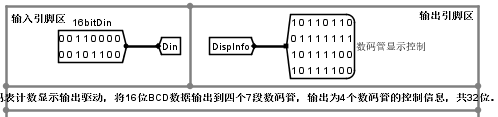


2、测试

测试用例1：



测试用例2：

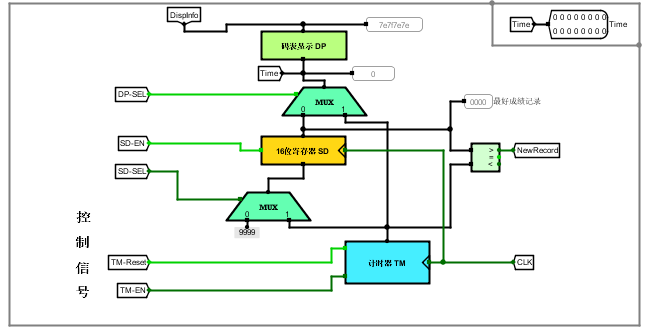


3、功能：码表计数显示驱动根据不同的输入输出对应的数码管控制信息。

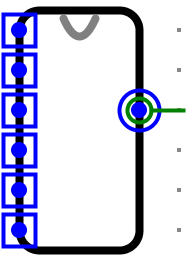
**2.2.9 运动码表**

1、电路图

（1）内部结构图

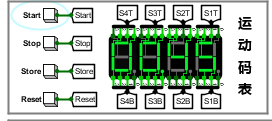


1. 封装电路图

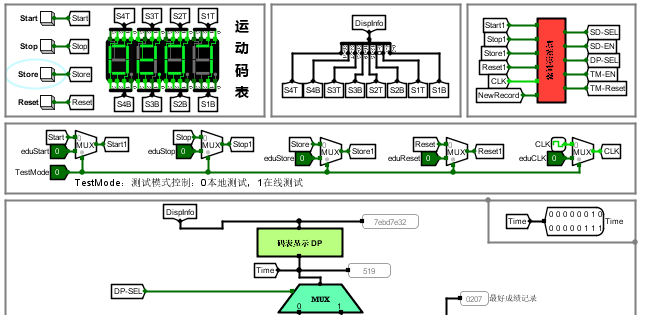


2、测试

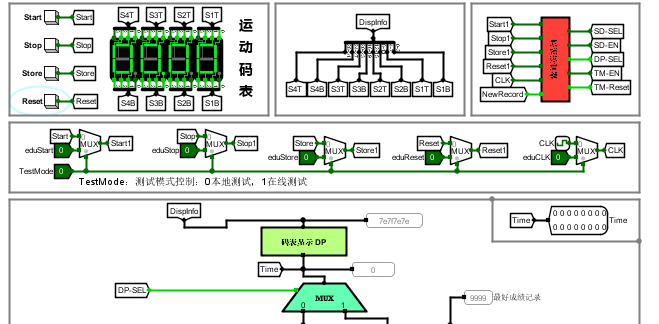
测试样例1：点击start键，码表开始计时。



测试样例2：码表停止计时后点击store键，存储最好成绩。



测试样例3：点击reset键，重置码表。



# 设计总结与心得

## 实验总结

## 3.1.1遇到的问题及处理

1连接电路有时粗心大意，分线器接出时不够仔细，把相邻接口连一起了。

2在设计码表计数器时，如果简单的用前一个BCD计数器的输出函数值用于下一个BCD计数器的钟控信号，那么系统会在状态达到9时产生进位信号，而不是达到10时。当时我没有解决的思路，所以只好改从使能端入手。我把低位的进位端并后再接到高位使能端，解决了问题，这样能保障只有低位都是9的时候，下一次时钟跳动高位才进一。后来我对于原始的思路进行思考：有没有一种办法将进位信号延迟一下呢？最后想出了一种解决方法：将输出函数信号取反，这样能将从9到10的下降沿变成上升沿，实现正常进位。

3实验刚开始时，有时不小心修改了隧道与引脚，通不过头歌的测试。

4在设计4位并行加载寄存器时，我发现使用默认的D触发器没有使能端。最后通过咨询同学才发现需要在左下角中将“包含使能端?”改成“是”。

5注意引脚接口对应，比如从左到右是0到31还是31到0；输入与输出的接口也应该一一对应。

6注意子电路外观，包括引脚位置是否正确（如BCD计数器输出函数设计中，子电路的接口就出现了错误，需要进行修正）

## 3.1.2设计方案存在的不足

①在该设计方案中，码表无法完成多次计时的功能。其一次只能记录一个时间，无法连续记录多个时间。

②在该设计方案中，码表无法完成暂停的功能。在按下“STOP”后，码表无法继续在该时间的基础上继续计时。

## 实验心得

本次实验通过头歌平台的“闯关”设计，将实验任务进行模块化细分，极大地降低了学生的负担，有效地引导我们从最基本的模块开始，条理清楚，思路清晰地完成运动码表的设计。

但实验的过程也并非一帆风顺。从一开始的对logisim的不熟悉，遇到难关不知如何实现等问题一度令我十分头疼。但我凭借着不懈努力，最终成功完成了该实验。过程中对电路的分析过程，极大加深了我对数字电路与逻辑设计这门学科的理解，为以后学习csapp等专业课打下了更坚实的基础。此外，我也深刻地体会到，电路设计是一门胆大心细的活，必须时时刻刻注意各种细节，不论是电路图的设计还是到实际的生产加工均是如此。一个微小的模块出现错误，往往会影响到整个系统功能的实现。

计算机学生要学习的不只是软件，还有硬件。数字逻辑便是一门偏硬件的学科。只有“软硬兼施”，我么的系统能力才能得到更好的培养。因此，我们需要学好这门课。

## 意见与建议

希望实验课可以早点开，期末太多实验堆在一起了，负担还是比较重的。

|  |
| --- |
| 原创性声明 |
| 本人郑重声明本报告内容，是由作者本人独立完成的。有关观点、方法、数据和文献等的引用已在文中指出。除文中已注明引用的内容外，本报告不包含任何其他个人或集体已经公开发表的作品成果，不存在剽窃、抄袭行为。  已阅读并同意以下内容。  判定为不合格的一些情形：  （1） 请人代做或冒名顶替者；  （2） 替人做且不听劝告者；  （3） 实验报告内容抄袭或雷同者；  （4） 实验报告内容与实际实验内容不一致者；  （5） 实验电路抄袭者。  **作者签名：洪炜豪** |

最终提交的文件

（1）实验电路[电子版]；

（2）实验报告[电子版]；

（3）实验报告[纸质版]。

提交的电子版文件无需压缩，每个学生放在一个文件夹，文件夹及文件命名方式：班级-学号-姓名。如：计算机2101-U21010101-张三-运动码表实验报告

全班收齐后统一打包压缩交给指导教师。

|  |
| --- |
|  |